

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2650962号

(45)発行日 平成9年(1997)9月10日

(24)登録日 平成9年(1997)5月16日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/027			H 0 1 L 21/30	5 2 8
G 0 3 F 1/08			G 0 3 F 1/08	A
7/20	5 2 1		7/20	5 2 1
			H 0 1 L 21/30	5 0 2 P
				5 0 2 C

請求項の数25(全 6 頁)

(21)出願番号 特願昭63-112422
(22)出願日 昭和63年(1988)5月11日
(65)公開番号 特開平1-283925
(43)公開日 平成1年(1989)11月15日

(73)特許権者 999999999
株式会社日立製作所
東京都千代田区神田駿河台4丁目6番地
(72)発明者 福田 宏
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 寺澤 恒男
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 長谷川 昇雄
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
(74)代理人 弁理士 小川 勝男 (外1名)

審査官 西脇 博志

最終頁に続く

(54)【発明の名称】 露光方法及び素子の形成方法並びに半導体素子の製造方法

1

(57)【特許請求の範囲】

【請求項1】被加工物層上にレジスト層を形成し、露光光によって該レジスト層の第1領域は密にパターンニングし第2の領域は第1の領域よりも粗にパターンニングする露光方法であって、

上記第1の領域は上記露光光の位相を反転させる位相シフトパターンを有するマスクパターンで露光し、

上記第2の領域は光透過領域と非透過領域から成るマスクパターンで露光することを特徴とする露光方法。

【請求項2】上記第2のパターンは位相シフトパターンであることを特徴とする請求項1記載の露光方法。

【請求項3】上記第1のパターンは制御電極であることを特徴とする請求項1記載の露光方法。

【請求項4】上記第1のパターンは配線であることを特徴とする請求項1記載の露光方法。

2

【請求項5】上記第1のパターンと第2のパターンは同一マスクに形成されていることを特徴とする請求項1から4のいずれか記載の露光方法。

【請求項6】上記第1のパターンと第2のパターンは異なるマスクに形成されていることを特徴とする請求項1から4のいずれか記載の露光方法。

【請求項7】被加工膜を有する基板にレジスト膜を塗布し、露光光によりマスクのパターンを投影光学系を介して上記レジスト膜へ露光した後現像してレジストパターンを形成する工程と、

形成されたレジストパターンから上記被加工膜を加工する工程を含む素子の形成方法であって、

上記レジスト膜の所定の領域に密成るパターンを有する第1のパターンで投影露光する工程と、

第1のパターンより粗なるパターンを有する第2のパタ

ーンで投影露光する工程とを含み、上記第1のパターンと上記第2のパターンの少なくともどちらか一方は露光光の位相を反転させる位相シフトパターンであることを特徴とする素子の形成方法。

【請求項8】上記レジスト膜はポジ型レジストであり、上記位相が反転された隣接する光透過部に対応する現像後レジスト除去領域が互に接続することを特徴とする請求項7記載の素子の形成方法。

【請求項9】上記レジスト膜はネガ型レジストであり、現像後上記位相が反転された隣接する光透過部に対応する現像後レジスト除去領域が互に接続することを特徴とする請求項7記載の素子の形成方法。

【請求項10】上記第1のパターンと第2のパターンが上記レジスト膜上の同一の位置に露光することを特徴とする請求項7から9のいずれか記載の素子の形成方法。

【請求項11】上記第1のパターンと第2のパターンはいずれも位相シフトマスク上に形成されていることを特徴とする請求項7から10のいずれか記載の素子の形成方法。

【請求項12】上記第1のパターンが位相シフトマスクでかつ第2のパターンが透過型マスク上に形成されていることを特徴とする請求項7から10のいずれか記載の素子の形成方法。

【請求項13】上記第1のパターンと上記第2のパターンとが同一のマスク上に形成されていることを特徴とする請求項7から10のいずれか記載の素子の形成方法。

【請求項14】基板に薄膜を形成する工程と、該薄膜上にレジスト層を形成する工程と、露光光の位相を反転させる位相シフトパターンをレジスト層に投影露光する工程と、光透過領域と非透過領域から成るマスクパターンをレジスト上に投影露光する工程と、露光後に現像する工程と、エッチングにより上記薄膜を加工する工程と、上記加工領域に半導体素子を形成する工程とを含むことを特徴とする半導体素子の製造方法。

【請求項15】上記位相シフトパターンが制御電極であることを特徴とする請求項14記載の半導体素子の製造方法。

【請求項16】上記位相シフトパターンが配線であることを特徴とする請求項14記載の半導体素子の製造方法。

【請求項17】上記投影露光する工程として上記位相シフトパターンと上記光透過領域と非透過領域から成るマスクパターンを同一レジスト層に露光することを特徴とする請求項14から16のいずれか記載の半導体素子の製造方法。

【請求項18】上記位相シフトパターンと上記光透過領域と非透過領域から成るマスクパターンとは同一のマスク上に形成されていることを特徴とする請求項14から17のいずれか記載の半導体素子の製造方法。

【請求項19】上記位相シフトパターンと上記光透過領域と非透過領域から成るマスクパターンとは異なるマスク上に形成されていることを特徴とする請求項14から17のいずれか記載の半導体素子の製造方法。

【請求項20】第1の寸法を有する第1のパターンと、上記第1の寸法より微細な第2の寸法を有する第2のパターンとを有する半導体素子の製造方法であって、上記第1のパターンは光透過領域と光非透過領域を含むマスクパターンを投影光学系を介して投影露光することにより形成し、上記第2のパターンは隣接する光透過部を通して光の位相を反転させる位相シフトマスクパターンを投影光学系を介して投影露光することにより形成することを特徴とする半導体素子の製造方法。

【請求項21】上記第1のパターンと第2のパターンは、上記半導体素子の同一層内に形成されていることを特徴とする請求項20記載の半導体素子の製造方法。

【請求項22】上記第1のパターンと第2のパターンは、異なるマスクにより形成されることを特徴とする請求項20記載の半導体素子の製造方法。

【請求項23】上記第1のパターンと第2のパターンは、同一のマスクにより形成されることを特徴とする請求項20記載の半導体素子の製造方法。

【請求項24】上記第1のパターンと第2のパターンは、上記半導体素子の異なる層に形成されていることを特徴とする請求項20記載の半導体素子の製造方法。

【請求項25】上記第2のパターンは、制御電極であることを特徴とする請求項21から24いずれかに記載の半導体素子の製造方法。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、寸法 $0.2\mu\text{m}\sim 0.1\mu\text{m}$ 以下の極微細パターンを有する半導体または超電導素子の製造方法に係り、特にこれらの素子に好適なパターン形成方法に関する。

【従来の技術】

パーミアブル・ベース・トランジスタ（以下PBT）または各種量子井戸アレイデバイス、超マトリクス固体発振子、ラテラル超格子FET、共鳴トンネリング効果デバイス等の量子効果デバイスの作製においては、素子内に極めて微細な格子状、綫状、又は点状パターンの集合等を作製する必要がある。これらのデバイスの多くは量子効果をねらっており、そのパターン周期は、 $0.1\mu\text{m}$ 程度からそれ以下であることが望まれる。

従来、これらの素子はEB（電子ビーム）又はFIB（集束イオンビーム）の直接描画により作製されてきた。EBを用いた量子効果デバイスの作製に関しては、例えば、ソリッド・ステート・テクノロジー、1985年、10月号、第125頁から第129頁（Solid State Technology/October, 1985, pp125-129）に論じられている。

一方、縮小投影露光法による光リソグラフィの限界解像度は、露光波長に比例し、縮小レンズの開口数に反比

例する。現在エキシマレーザ（KrFレーザ、波長248nm）と開口数0.4～0.5の縮小レンズを用いて0.3 μ m程度が達成されている。又、開口数0.5の反射光学系とArFエキシマレーザ（波長193nm）を用いて0.13 μ mを解像した例がある。（ジャーナル オブ バキューム サイエンス アンド テクノロジー B5（1），1987年、1/2月号，第389頁から第390頁（J. Vac. Sci. Technol. B5（1）. Jan/Feb 1987, pp389-390））。

ところで、縮小投影露光法における解像限界を向上する方法に位相シフト法がある。位相シフト法によれば、その解像限界は通常の透過型マスクによる露光法を用いた場合の2倍程度向上する。従つて、これによれば0.15 μ mから0.1 μ m以下の微細パターンを形成することが可能である。この位相シフト法は、特別な露光装置を必要とせず、通常の縮小投影露光装置において、従来の透過型マスク（レチクル）を位相シフトマスク（レチクル）に変更するだけで行なうことができる。位相シフト法に関しては例えば、アイ・イー・イー・イー；トランザクション オン エレクトロン デバイス，イーデー31，ナンバー6（1984）第753頁から第763頁（IEEE, Trans, Electron Devices, Vol. ED-31, No. 6（1984），pp753-763）に論じられている。

また、光を用いて縮小投影露光法の解像限界以下のパターンを形成する別の方法に、ホログラフィ法があるが、このホログラフィ法は特殊な露光装置を必要とし、しかもパターンはウエハの全面に形成され、そのパターンを、基板上に既に存在するパターンに対して位置合わせすることができない。この様なホログラフィ法については、例えば昭和59年秋季、第45回応用物理学会学術講演会、講演予講集第242頁に論じられている。

〔発明が解決しようとする課題〕

上記のEB, FIBによる極微細パターンの描画作製には、多大の時間を要し、経済性が悪いという問題点があつた。

一方、縮小投影露光法の限界解像度ではPBT、量子効果デバイス等に必要0.1 μ m以下のパターンを形成することは非常に困難である。

位相シフト法を用いればこれを達成することが可能である。しかしながら、位相シフト法の弱点として、実際のLSIパターンの様な複雑なマスクパターンに対応するのが困難なことがあげられる。位相シフト法は、単純なラインアンドスペースパターン（以下L/S）、格子パターン、点状パターン等の作製に関して、非常に有効な技術である。

本発明の目的は、極微細パターンを有するデバイスのパターン形成において、上記問題点を解決し、簡便かつスループットの大きい、経済性に優れた微細素子の形成方法を提供することにある。

〔課題を解決するための手段〕

上記目的は、上記デバイスのパターン形成に際して上記デバイスの極微細パターン領域（例えばPBTのグリッド部分）の露光に対しては位相シフトマスクを、また、その

他のパターン領域の露光には通常の透過型マスクを用いた縮小投影露光で適用することにより達成される。

〔作用〕

本発明が対象とするデバイスのパターンは、単純な繰返し構造を有する極微細パターンの密集領域と、制御電極や配線等の比較的複雑な構造を有する回路領域に2分される。これらの2つの領域はデバイス製造プロセスにおける同一層内に混在する場合もあり、又、別々の層として存在する場合もある。

前者の極微細パターン領域は単純なL/S、点状パターン集合、格子状パターンで、その寸法は0.1 μ m程度、もしくはそれ以下であり、その形状も比較的単純である。この領域内のパターン形成は位相シフトマスク（レチクル）を用いた縮小投影露光法により可能となる。

一方、後者の回路領域におけるパターンの寸法は前者より大きく、従来の透過型マスク（レチクル）を用いた縮小投影露光法により形成するのが適している。

上記2つの領域を別々に露光する際には、両者の位置合せを行なう必要がある。通像合せ精度は少なくとも最小寸法の半分に抑えなければならない。従つて、0.1 μ mのパターンに対しては0.05 μ m以下の合せ精度が必要となるが、現在この様な精度をもつ露光装置はない。しかし、本発明における2つの領域間の合せ精度は、通常の露光装置の保障する程度の値で十分である。何故ならば、本発明の対象となるデバイスにおける極微細パターンは全体として機能し、従つて逆微細パターン領域と回路パターン領域の相対位置は所定の範囲内に収める必要があるものの、極微細パターンの一つひとつの位置精度はそれほど厳密さを要求されない。

前記二つの領域が同一層内に混在する場合には、一枚のマスク上に位相シフトマスク領域と透過型マスク領域を混在させることもできる。これを用いれば、上記極微細パターン領域と回路パターン領域を1枚のマスクで同時に露光することができる。但し、この場合、二つの領域の接続部において解像不良の生じる恐れがある。即ち、位相の異なる2つの透光部が接する場合、干渉によりここで光強度が低下する。このようなパターンの配置は避けなければならない。

本発明によれば、パターンの露光は縮小投影露光法により行なわれるもので、電子ビーム、集束イオンビームの直接描画による方法に比してはるかに短時間でこれを完了させることができる。

又、本発明によれば、特殊な露光装置を必要とせず、露光フィールド内の所望の位置に極微細パターンを形成することができるため、ホログラフィ法より有利である。

〔実施例〕

実施例1

以下、本発明を用いたPBTの製造方法の実施例を示す。

まず、キャリア収集電極層に形成したGaAs基板上にき

らにW薄膜を形成し、その上に、下層有機膜／中間層無機膜／上層レジスト膜の3層構造からなる、いわゆる3層レジストを形成した。上層レジストとしてはPMMA（ポリメチルメタクリレート）を用いた。次に、第1図

(a)に示した様なPBTの制御電極領域の極微細L/Sだけを有する位相シフトレチクルを用いて露光を行なった。位相シフトレチクルの微細L/Sにおける隣り合う透光部は、照明光の位相を互いに180°反転させる様配置されている。次に、第1図(b)に示した様な制御電極周辺回路パターンを有する透過型レチクルに変換し、露光を行

なつた。
上記2つの領域に対する露光は、基板を露光装置の基板ステージ上に固定したままレチクルのみを変更して、連続的に行なわれる。各々の露光において位置合せ操作を行なうことはいうまでもない。又、上記2つの領域に対する露光の順番は特に規定しない。使用した露光装置の光源はKrFエキシマレーザー、光学系の開口数は0.6である。1露光フィールドにおいて上記2枚のレチクル各々の露光に要する時間は約5秒であつた。一方、電子線描画装置を用いて同パターンの露光を行なつたところ、これに要する時間は約600秒であつた。

次に、上記上層レジストの現像を行ない、第1図(c)に示した様な上層レジストパターンを得た。これを反応性イオンエッチングにより順次前記中間層、下層へ転写した。その結果、上記下層有機膜において前記極微細制御電極パターン領域におけるアスペクト比の高い矩形断面形状を有するL/Sパターンと、前記周辺回路パターンの両方が得られた。

こうして形成された下層有機層パターンをマスクとしてW膜のドライエッチングを行ない、制御電極パターンを形成した後、その上にGaAsを成長させ制御電極を埋め込み、ひき続きキャリア注入電極、配線等を形成してPBTを作製した。上記制御電極パターン以外の露光は全て透過型マスクを用いた。作製したPBTの電気特性を評価した結果、所期の性能が得られた。

なお、第1図は説明のための模式的な平面であり、必ずしも実際のトランジスタのレイアウトを表示したものではない。また、デバイス構造、基板材料、制御電極材料、レジスト材料およびプロセス、露光装置等に関しても、本実施例に示したものに限らず使用することができ

る。
本実施例の露光過程は、PBTに限らず単純な極微細L/Sパターンと周辺回路の混在する他のデバイス例えばラテカル1次元超格子FET等に対しても適用できる。

実施例2

PBTにおいては、極微細パターン領域と回路パターン領域が同一層（制御電極層）内に混在するので、上記各領域に対応して位相シフトマスク領域と透過型マスク領域の混在するレチクルによりパターンを形成できる。このためのマスクを第2図に示す。前記実施例1においては、制

御電極形状は第1図(c)に示したごとくくし型であつた。しかし本方法においては位相シフトマスク領域と透過マスク領域を完全に分離するために、透過型マスク領域内の完全な遮光部に位相シフト型マスク領域（第2図中点線内）を配置した。

実施例3

本発明を用いて超マトリクス固体発振素子の製造方法に関する一実施例を示す。

GaAs基板上にポジ型レジストPMMAを塗布し、第3図に示す様なドット状の透光部の集合をもつ位相シフトマスクで露光を行なつた。その後現像して第3図の透光部の各々に対応したレジスト開口部を得た。位相シフトマスクの各透光部は照明光の位相を上下左右の両方向に交互に180°反転させる様に（市松模様状に）配置されている。なお、位相シフトマスクには、第3図に示したドット状透光部の各々の周囲に位相反転用のより微細な透光部パターンを設けてもよい。

次に、メタライゼーションを行ない、レジスト上およびレジスト開口部の基板上に金属を蒸着した後、レジストを除去してリフトオフ法により基板上にメタルドット行列を形成した。ひき続き電極等を形成して超マトリクス固体発振素子を製造した。

ここでは固体発振素子の製造への実施例を示したが、本実施例のレジストパターン形成工程をGaAs基板上のメタライゼーションに代えて、他の様々なプロセスと組み合わせることにより、種々のデバイスへの応用が可能である。例えばGaAs基板上にGaAlAs薄膜を成長させた後、ネガ型レジストと本実施例による位相シフトマスクを用いてパターン形成を行なうと、第3図のドット状透光部の各々に対応してレジストパターンが残る。これをマスクにGaAlAsの異方性エッチングを行ない、適当な後処理を行なうことにより量子井戸行列を形成することができる。同様に、ラテラルFET超格子、共鳴トンネリング効果トランジスタ等への応用が可能である。

実施例4

本発明を用いた超マトリクス固体発振素子の製造方法に関する別の実施例を示す。

前記実施例3におけるポジ型レジストをネガ型レジストに置き換え、さらに、露光プロセスを以下の様に変更した。まず第4図に示す様なマスクA、マスクB、マスクCを用意した。マスクA及びBはL/S位相シフトマスクで、各々におけるL/Sは互いに直交しているか、もしくは基準方向に対して異なる角度をもっている。A、B及びCの3枚のマスクを用いて、同一レジスト膜上に重ね露光することにより、実施例3と同様のレジストパターンを得た。即ちドット行列はマスクA及びBにおけるL/Sの重なり部分に形成され、マスクCはドット行列領域の範囲を規定する。本実施例によれば、実施例3と比べてドット行列の周期をより小さくすることが可能で、しかもレジストの平面的形状を角ばらせることができた。

本実施例のパターン形成工程が、実施例3と同様様々なデバイスに適用可能であることはいうまでもない。

【発明の効果】

以上本発明による半導体又は超電導体装置の製造方法によれば、量子効果素子等における $0.1\mu\text{m}$ 程度からそれ以下の寸法のパターンから成る極微細パターン領域を含む回路パターンの形成過程において、上記極微細パターン領域の露光を位相シフト法を用いた縮小投影露光法により、それ以外の回路パターンを通常の露光法により各々独立に行なうことにより、上記パターン形成に要する時間を著し

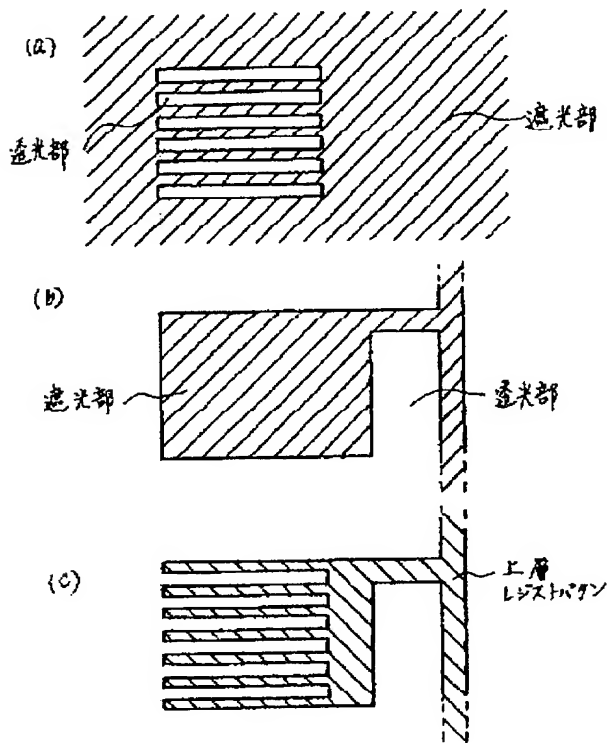
く短縮するとともに、装置コストを低減することができる。

これにより、上記半導体・超電導体素子の量産における経済性を向上させることができる。また、上記素子が集積化された場合において、これらの効果は一層顕著となる。

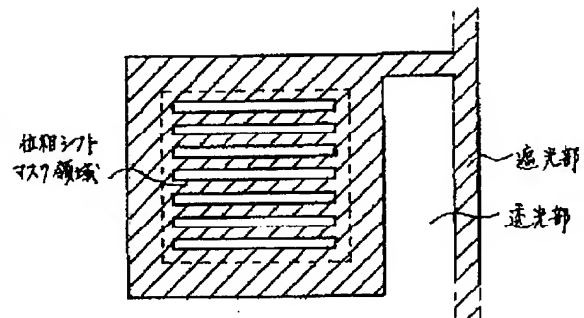
【図面の簡単な説明】

第1図乃至第4図は、本発明の実施例におけるマスクパターンの平面図である。

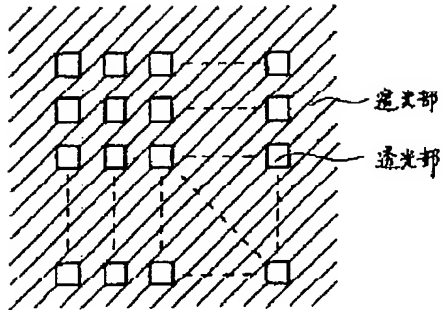
【第1図】



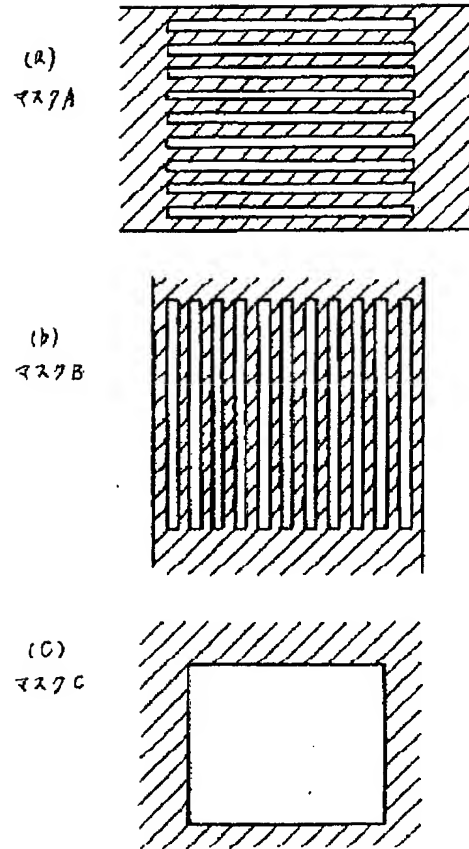
【第2図】



【第3図】



【第4図】



フロントページの続き

(72)発明者 田中 稔彦
東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内

(72)発明者 大嶋 卓
東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内

(56)参考文献 特開 昭58-173744 (J P, A)
特開 昭62-189468 (J P, A)